

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-215532  
(43)Date of publication of application : 10.08.2001

(51)Int.Cl. G02F 1/1368  
H01L 21/3205  
H01L 29/40  
H01L 29/786

(21)Application number : 2000-170712 (71) CASIO COMPUT CO LTD  
Applicant :  
(22)Date of filing : 07.06.2000 (72)Inventor : SHIMOMAKI SHINICHI  
ONAKA EIICHI

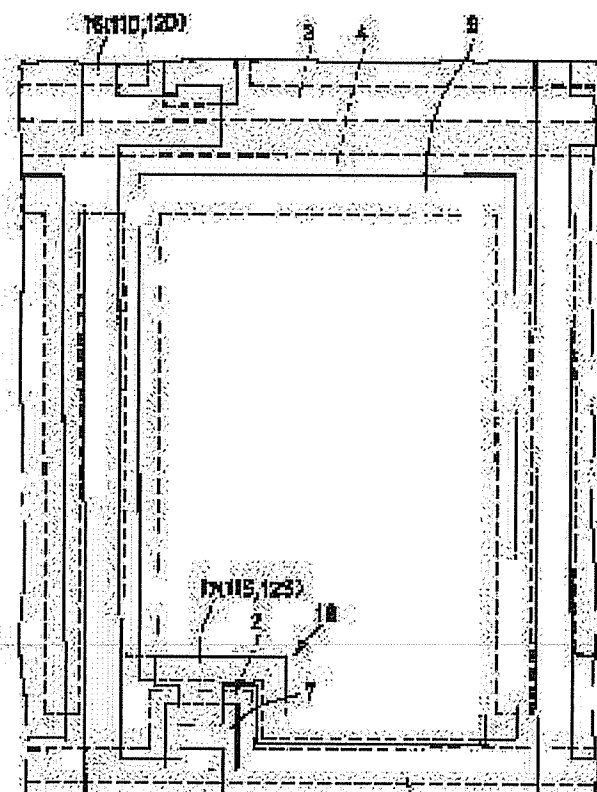
(30)Priority  
Priority number : 11332231 Priority date : 24.11.1999 Priority country : JP

## (54) ACTIVE LIQUID CRYSTAL DISPLAY PANEL

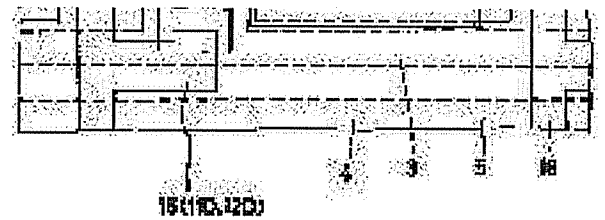
### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the quantity of side etching of a Cr film for forming the source electrode of a thin-film transistor in an active liquid crystal display panel.

SOLUTION: The source electrode 17, consisting of the Cr film 11S and an Al-based metal film 12S, is formed on the upper surface of the nearly whole lower side part in the drawing 1 of a pixel electrode 9, and the upper surface of a gate insulating film 5 in its neighborhood. The area of the plane of the Cr film 11S then becomes large, and as a result, the area (the boundary length multiplied by the film thickness) of the periphery surface of



the Cr film 11S also becomes large. Then the quantity of side etching of the Cr film 11S is reduced by the increase of the area of this periphery surface of the Cr film 11S.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-215532  
(P2001-215532A)

(43) 公開日 平成13年 8月10日 (2001. 8. 10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 2 F 1/1368		H 0 1 L 29/40	A 2 H 0 9 2
H 0 1 L 21/3205		G 0 2 F 1/136	5 0 0 4 M 1 0 4
29/40		H 0 1 L 21/88	R 5 F 0 3 3
29/786		29/78	6 1 2 C 5 F 1 1 0
			6 1 6 T
審査請求 未請求 請求項の数 9 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2000-170712(P2000-170712)  
(22) 出願日 平成12年 6月 7日 (2000. 6. 7)  
(31) 優先権主張番号 特願平11-332231  
(32) 優先日 平成11年11月24日 (1999. 11. 24)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000001443  
カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号  
(72) 発明者 下牧 伸一  
東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内  
(72) 発明者 尾中 栄一  
東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内  
(74) 代理人 100073221  
弁理士 花輪 義男

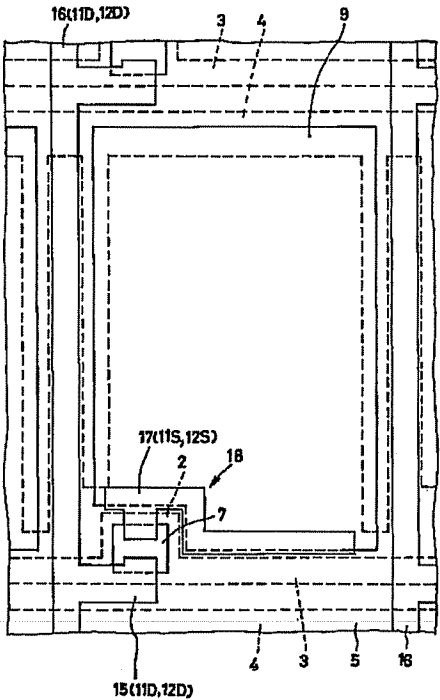
最終頁に続く

(54) 【発明の名称】 アクティブ型液晶表示パネル

(57) 【要約】

【課題】 アクティブ型液晶表示パネルにおいて、薄膜トランジスタのソース電極形成用のC r膜のサイドエッチング量を低減する。

【解決手段】 C r膜11 SおよびA l系金属膜12 Sからなるソース電極17は、画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成されている。すると、C r膜11 Sの平面の面積が大きくなり、ひいてはC r膜11 Sの周囲面の面積(周囲長×膜厚)も大きくなる。そして、このC r膜11 Sの周囲面の面積の増大により、C r膜11 Sのサイドエッチング量を低減することができる。



## 【特許請求の範囲】

【請求項 1】 ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成された A1 より酸化還元電位が高い保護金属膜とその上に形成された A1 系金属膜とにより少なくとも前記薄膜トランジスタのソース電極を形成し、前記画素電極の平面の面積を  $S_1$  とし、前記保護金属膜の周囲面の面積を  $S_2$  としたとき、 $S_1/S_2$  の値が 15000 程度以下となるようにしたことを特徴とするアクティブ型液晶表示パネル。

【請求項 2】 請求項 1 に記載の発明において、前記  $S_1/S_2$  の値が 7000 程度以下となるようにしたことを特徴とするアクティブ型液晶表示パネル。

【請求項 3】 ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記薄膜トランジスタは半導体膜と該半導体膜に接続されたソース電極およびドレイン電極を有し、前記ソース電極は前記画素電極上に形成された A1 より酸化還元電位が高い保護金属膜とその上に形成された A1 系金属膜を有し且つ前記画素電極上に接続された部分が前記半導体膜に接続された部分よりも幅広く形成されていることを特徴とするアクティブ型液晶表示パネル。

【請求項 4】 請求項 1～3 のいずれかに記載の発明において、前記ソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って延出されていることを特徴とするアクティブ型液晶表示パネル。

【請求項 5】 請求項 1 または 2 に記載の発明において、前記画素電極に接続されて形成された A1 より酸化還元電位が高い保護金属膜とその上に形成された A1 系金属膜とにより、前記薄膜トランジスタのソース電極と該ソース電極とは分離されたダミーソース電極とを形成したことを特徴とするアクティブ型液晶表示パネル。

【請求項 6】 ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成された A1 より酸化還元電位が高い保護金属膜とその上に形成された A1 系金属膜とからなる前記薄膜トランジスタのソース電極と、該ソース電極とは分離され、前記画素電極に接続されて形成された A1 より酸化還元電位が高い保護金属膜とその上に形成された A1 系金属膜とからなるダミーソース電極とを備えていることを特徴とするアクティブ型液晶表示パネル。

【請求項 7】 請求項 5 または 6 に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って設けられていることを特徴とするアクティブ型液晶表示パネル。

【請求項 8】 請求項 5 または 6 に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜ト

ランジスタ側とは反対側の一辺に沿って設けられていることを特徴とするアクティブ型液晶表示パネル。

【請求項 9】 請求項 8 に記載の発明において、前記画素電極の前記薄膜トランジスタ側とは反対側の一辺下に補助容量電極が設けられていることを特徴とするアクティブ型液晶表示パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明はアクティブ型液晶表示パネルに関する。

## 【0002】

【従来の技術】 図 5 は従来のアクティブ型液晶表示パネルの一例の一部（一画素領域分）の平面図を示し、図 6 はその X-X 線に沿う要部断面図（液晶および対向電極基板は省略）を示したものである。この液晶表示パネルを製造する場合には、まず、図 7 に示すように、ガラス基板 1 の上面の所定の箇所に A1 または A1 合金からなるゲート電極 2、ゲートライン（走査線）3（図 5 参照）および補助容量電極 4（図 5 参照）を形成し、その上面全体に窒化シリコンからなるゲート絶縁膜 5 を成膜する。次に、ゲート絶縁膜 5 の上面のデバイスエリアに真性アモルファスシリコンからなる半導体膜 6 を形成し、半導体膜 6 の上面の所定の箇所に窒化シリコンからなるチャネル保護膜 7 を形成し、チャネル保護膜 7 の上面両側およびその両側における半導体膜 6 の上面に N 型アモルファスシリコンからなる N 型半導体膜 8D、8S を形成する。次に、ゲート絶縁膜 5 および N 型半導体膜 8S の上面の所定の箇所に ITO（インジウム-錫酸化物）からなる画素電極 9 を形成する。

【0003】 次に、上面全体に Cr 膜 11、A1 または A1 合金からなる A1 系金属膜 12 および保護用 Cr 膜 13 を連続して成膜する。次に、保護用 Cr 膜 13 の上面の所定の箇所に、ドレイン電極、ドレインライン（信号線）およびソース電極を形成するためのレジスト膜 14 を形成する。この場合、保護用 Cr 膜 13 は、レジスト現像時に現像液の作用によって ITO からなる画素電極 9 と A1 系金属膜 12 とが電池反応により腐食しないようにするためのものである。次に、図 8 に示すように、レジスト膜 14 をマスクとしてウェットエッチングを行うことにより、保護用 Cr 膜 13 および A1 系金属膜 12 の不要な部分を除去する。次に、レジスト膜 14 を剥離する。次に、A1 系金属膜 12 をマスクとしてウェットエッチングを行うことにより、Cr 膜 11 の不要な部分を除去するとともに、保護用 Cr 膜 13 を剥離する。

【0004】 すると、図 5 および図 6 に示すように、N 型半導体膜 8D およびゲート絶縁膜 5 の上面の所定の箇所に Cr 膜 11D および A1 系金属膜 12D からなるドレイン電極 15 およびドレインライン 16 が形成される。また、N 型半導体膜 8S および画素電極 9 の上面の

所定の箇所にCr膜11SおよびAl系金属膜12Sからなるソース電極17が形成される。そして、ゲート電極2、半導体膜6、N型半導体膜8D、8S、ドレイン電極15、ソース電極17により、スイッチング素子としての薄膜トランジスタ18が構成されている。

#### 【0005】

【発明が解決しようとする課題】ところで、上記従来の液晶表示パネルの製造方法では、Cr膜11の不要な部分を除去するとともに、保護用Cr膜13を剥離するとき、ITOからなる画素電極9とソース電極17形成用のCr膜11Sとが接続されているので、Crエッチャント中におけるITO-Cr系の電池反応により、図9に示すように、ソース電極17形成用のCr膜11Sのサイドエッチングが激しく進行してしまう。このような場合には、ソース側におけるコンタクト特性が劣化し、薄膜トランジスタ18のオン電流が低下してしまうという問題があった。また、最悪の場合には、ソース電極17形成用のAl系金属膜12Sが剥がれてしまい、歩留低下の一要因になってしまうという問題があった。この発明の課題は、ソース電極形成用のCr膜のサイドエッチング量を低減することである。

#### 【0006】

【課題を解決するための手段】請求項1に記載の発明は、ITOからなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成されたAlより酸化還元電位が高い保護金属膜とその上に形成されたAl系金属膜とにより少なくとも前記薄膜トランジスタのソース電極を形成し、前記画素電極の平面の面積を $S_1$ とし、前記保護金属膜の周囲面の面積を $S_2$ としたとき、 $S_1/S_2$ の値が15000程度以下となるようにしたことを特徴とするものである。請求項2に記載の発明は、請求項1に記載の発明において、前記 $S_1/S_2$ の値が7000程度以下となるようにしたことを特徴とするものである。請求項3に記載の発明は、ITOからなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記薄膜トランジスタは半導体膜と該半導体膜に接続されたソース電極およびドレイン電極を有し、前記ソース電極は前記画素電極上に形成されたAlより酸化還元電位が高い保護金属膜とその上に形成されたAl系金属膜を有し且つ前記画素電極上に接続された部分が前記半導体膜に接続された部分よりも幅広く形成されていることを特徴とするものである。請求項4に記載の発明は、請求項1～3のいずれかに記載の発明において、前記ソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って延出されていることを特徴とするものである。請求項5に記載の発明は、請求項1または2に記載の発明において、前記画素電極に接続されて形成されたAlより酸化還元電位が高い保護金属膜とその上に形成された

Al系金属膜とにより、前記薄膜トランジスタのソース電極と該ソース電極とは分離されたダミーソース電極とを形成したことを特徴とするものである。請求項6に記載の発明は、ITOからなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成されたAlより酸化還元電位が高い保護金属膜とその上に形成されたAl系金属膜とからなる前記薄膜トランジスタのソース電極と、該ソース電極とは分離され、前記画素電極に接続されて形成されたAlより酸化還元電位が高い保護金属膜とその上に形成されたAl系金属膜とからなるダミーソース電極とを備えていることを特徴とするものである。請求項7に記載の発明は、請求項5または6に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って設けられていることを特徴とするものである。請求項8に記載の発明は、請求項5または6に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜トランジスタ側とは反対側の一辺に沿って設けられていることを特徴とするものである。請求項9に記載の発明は、請求項8に記載の発明において、前記画素電極の前記薄膜トランジスタ側とは反対側の一辺下に補助容量電極が設けられていることを特徴とするものである。そして、この発明によれば、画素電極の平面の面積を $S_1$ とし、保護金属膜の周囲面の面積を $S_2$ としたとき、 $S_1/S_2$ の値が15000程度以下または7000程度以下となるようにすると、ソース電極形成用の保護金属膜のエッチングの早さが抑えられ、ひいてはソース電極形成用の保護金属膜のサイドエッチング量を低減することができる。

#### 【0007】

【発明の実施の形態】図1はこの発明の一実施形態におけるアクティブ型液晶表示パネルの一部の平面図を示したものである。この図において、図5と同一名称部分には同一の符号を付し、その説明を適宜省略する。この液晶表示パネルにおいて、図5に示す従来の場合と異なる点は、Cr膜11SおよびAl系金属膜12Sからなるソース電極17を、少なくとも、画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成した点である。

【0008】すなわち、ソース電極17は、図6に示すように、半導体膜6上にN型半導体膜8Sを介して形成された第1ソース電極部と、図1に示すように、画素電極9上に形成された第2ソース電極部と、画素電極9の図1の下辺部（薄膜トランジスタ18側の一辺）に沿ってほぼL字状に形成された第3ソース電極部とからなっている。この場合、第2ソース電極部の図1の左右方向の幅は第1ソース電極部の同方向の幅よりも広がっている。

【0009】このように、この液晶表示パネルでは、C

r膜11SおよびAl系金属膜12Sからなるソース電極17を、少なくとも、画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成しているの、Cr膜11Sの平面の面積が大きくなり、ひいてはCr膜11Sの周囲面の面積(周囲長×膜厚)も大きくなる。そして、このCr膜11Sの周囲面の面積の増大により、次に説明するように、Cr膜11Sのサイドエッチング量を低減することができる。

【0010】次に、Cr膜11Sのサイドエッチング量を低減することができる理由について説明する。まず、図8を参照して説明すると、Cr膜11の不要な部分を除去するとともに、保護用Cr膜13を剥離するとき、ITOからなる画素電極9とソース電極17形成用のCr膜11Sとが接続されているので、Cr膜11S側で酸化反応、画素電極9側で還元反応が生じ、Cr膜11S側に負の電位、画素電極9側に正の電位が生じる。そして、この電位により、Cr膜11Sのエッチレートが非常に早くなる。このCr膜11Sのエッチレートの早さは、Cr膜11S側での酸化反応による単位面積当たりの電荷量に依存する。

【0011】そこで、Cr膜11Sのエッチレートの早さを抑えるには、Cr膜11S側の反応面積を大きくして単位面積当たりの電荷量を減らすことが考えられる。そして、画素電極9の平面の面積を $S_1$ とし、Cr膜11Sの周囲面の面積を $S_2$ とし、 $S_1/S_2$ の値を変えて、Cr膜11Sのサイドエッチング量を調べたところ、図2に示す結果が得られた。ここで、一例として、画素電極9の平面の面積 $S_1$ を $200\mu\text{m} \times 100\mu\text{m} = 20000\mu\text{m}^2$ とし、Cr膜11Sの周囲面の面積 $S_2$ を周囲長×膜厚 $= 40\mu\text{m} \times 0.025\mu\text{m}$ ( $250\text{\AA}$ ) $= 1\mu\text{m}^2$ とした場合、 $S_1/S_2$ の値は20000となる。そして、図2から明らかなように、Cr膜11Sのサイドエッチング量( $\mu\text{m}$ )は $S_1/S_2$ の値が小さくなるほど低減している。

【0012】一方、薄膜トランジスタ18のチャネル幅が $5\mu\text{m}$ でCr膜11Sのサイドエッチング量が $1.0\mu\text{m}$ であると、オン電流が10%程度低下し、サイドエッチング量が $1.5\mu\text{m}$ であると30%程度以上低下する。したがって、Cr膜11Sのサイドエッチング量は $1.0\mu\text{m}$ 程度以下に抑えることが好ましい。そこで、 $S_1/S_2$ の値を15000程度とすると、Cr膜11Sのサイドエッチング量を $1.0\mu\text{m}$ 程度に抑えることができる。また、 $S_1/S_2$ の値を7000程度以下とすると、Cr膜11Sのサイドエッチング量を $0.6\mu\text{m}$ 程度以下に抑えることができる。

【0013】したがって、上述したように、Cr膜11SおよびAl系金属膜12Sからなるソース電極17を画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成すると、Cr

膜11Sの周囲面の面積が大きくなるので、Cr膜11Sのサイドエッチング量を低減することができる。この結果、ソース側におけるコンタクト特性が劣化しにくいようにすることができ、ひいては薄膜トランジスタ18のオン電流が低下しにくいようにすることができる。また、ソース電極17形成用のAl系金属膜12Sが剥がれにくいようにすることができ、歩留を向上させることができる。

【0014】なお、Cr膜11Sの平面の面積を大きくして周囲面の面積を大きくすればよいので、平面の面積を大きくするためのCr膜11Sの形成位置は特に限定されないが、上記実施形態のように、画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成すると、開口率が低下しないようにすることができる。

【0015】また、上記実施形態では、ソース電極17を1つの連続したものとして形成した場合について説明したが、これに限らず、ソース電極とダミーソース電極とに分離して形成するようにしてもよい。例えば、図3に示すこの発明の他の実施形態のように、画素電極9の図3における下辺部の左側の上面およびその近傍にCr膜11SおよびAl系金属膜12SからなるほぼT字状のソース電極17Aを形成し、画素電極9の図3における下辺部の右側の上面にCr膜11SおよびAl系金属膜12Sからなる直線状のダミーソース電極17Bを形成するようにしてもよい。

【0016】また、図4に示すこの発明のさらに他の実施形態のように、画素電極9の図4における下辺部の左側の上面およびその近傍にCr膜11SおよびAl系金属膜12Sからなるソース電極17Aを形成し、画素電極9の図4における上辺部の所定の箇所の上面にCr膜11SおよびAl系金属膜12Sからなるダミーソース電極17Bを形成するようにしてもよい。この場合、ダミーソース電極17Bは、画素電極9の図4における上辺部下に設けられた補助容量電極4上に設けられている。このため、開口率が低下しないようにすることができる。

【0017】なお、限定する訳ではないが、Cr膜とAl系金属膜とにより形成されたソース電極および該ソース電極とは分離されたダミーソース電極は、各画素電極の周辺部を覆って形成される遮光膜下に設けることにより開口部の低減を抑えることができる。また、上記実施形態では、ソース電極およびダミーソース電極をCr膜とAl膜の2層積層構造の場合で説明したが、この発明はCr膜上のAl膜の上にさらにCr膜を形成した3層積層の場合は勿論、4層以上の場合にも適用可能である。また、Cr膜に限らず、Mo、W等のAl膜よりも酸化還元電位が高い金属膜に対してすべて適用することができるものである。

【0018】

【発明の効果】以上説明したように、この発明によれば、画素電極の平面の面積を $S_1$ とし、保護金属膜の周囲面の面積を $S_2$ としたとき、 $S_1/S_2$ の値が1500程度以下または7000程度以下となるようにすることにより、ソース電極形成用の保護金属膜のサイドエッチング量を低減することができるので、薄膜トランジスタのオン電流が低下しにくいようにすることができ、またソース電極形成用のAl系金属膜が剥がれにくいようにすることができ、歩留を向上させることができる。

#### 【図面の簡単な説明】

【図1】この発明の一実施形態におけるアクティブ型液晶表示パネルの一部の平面図。

【図2】Cr膜のサイドエッチング量とCr膜の周囲面の面積および画素電極の平面の面積との関係を説明するために示す図。

【図3】この発明の他の実施形態におけるアクティブ型液晶表示パネルの一部の平面図。

10

\* 【図4】この発明のさらに他の実施形態におけるアクティブ型液晶表示パネルの一部の平面図。

【図5】従来のアクティブ型液晶表示パネルの一例の一部の平面図。

【図6】図5のX-X線に沿う要部断面図。

【図7】図5および図6に示す液晶表示パネルの製造に際し、所定の工程を示す断面図。

【図8】図7に続く工程を示す断面図。

【図9】従来の問題点を説明するために示す断面図。

#### 【符号の説明】

9 画素電極

11D、11S Cr膜

12D、12S Al系金属膜

15 ドレイン電極

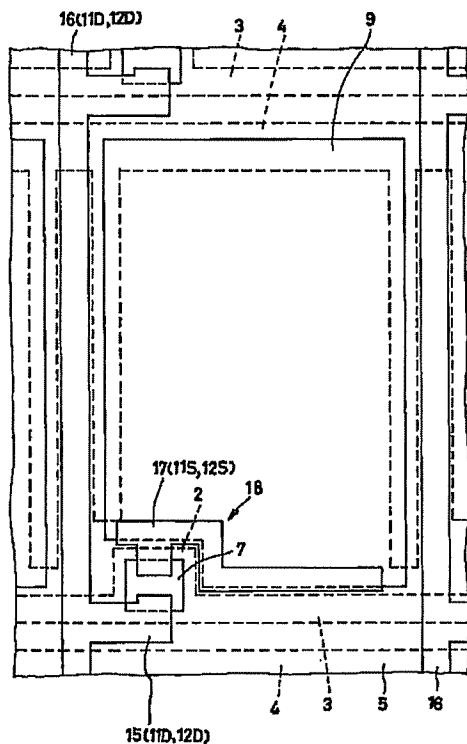
17、17A ソース電極

17B ダミーソース電極

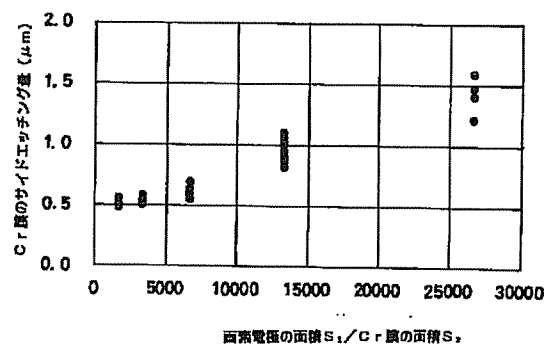
18 薄膜トランジスタ

\*

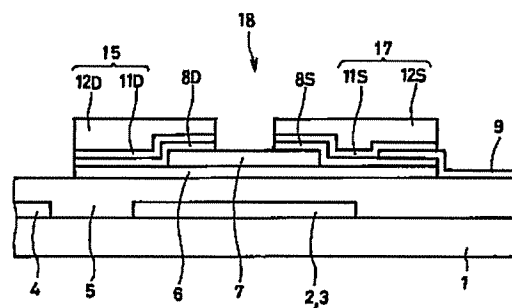
【図1】



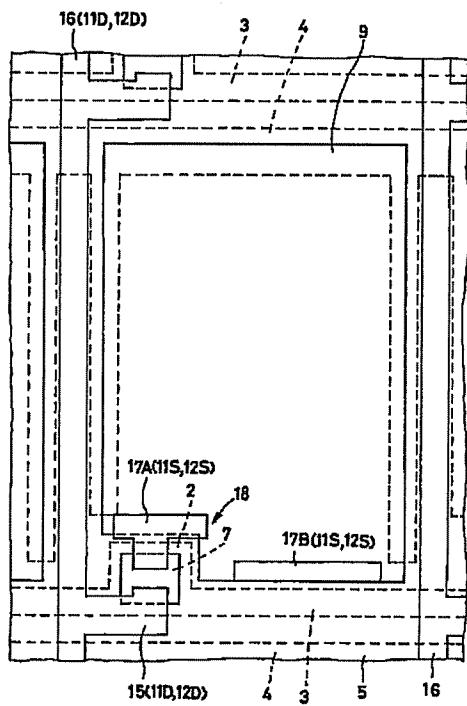
【図2】



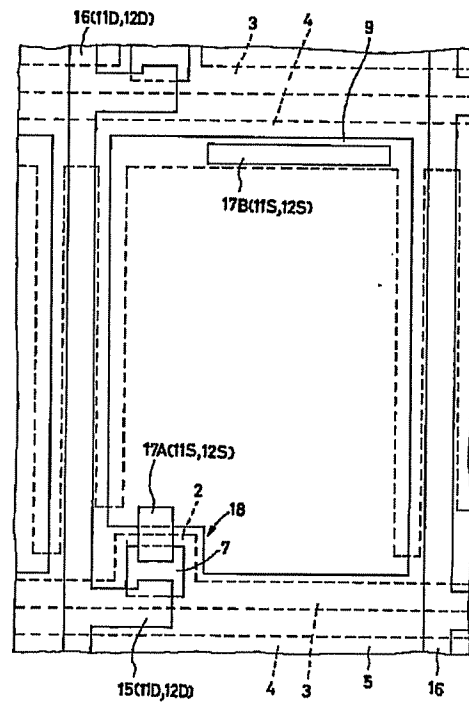
【図6】



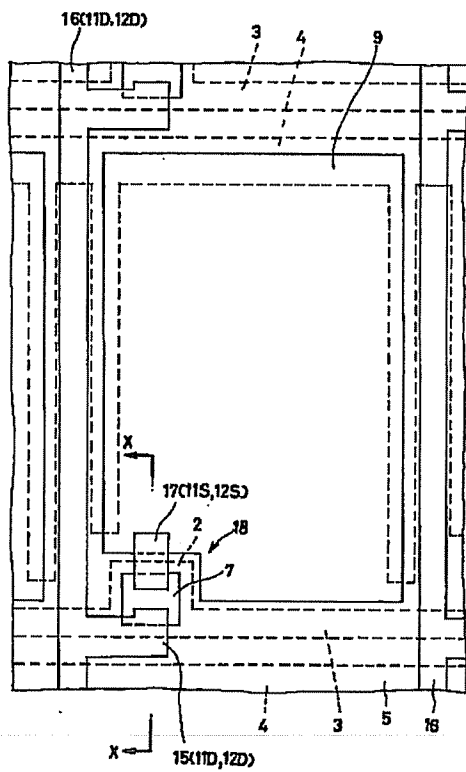
【図3】



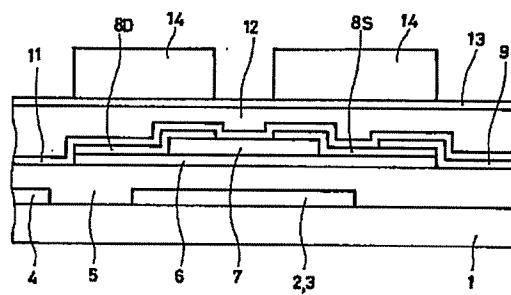
【図4】



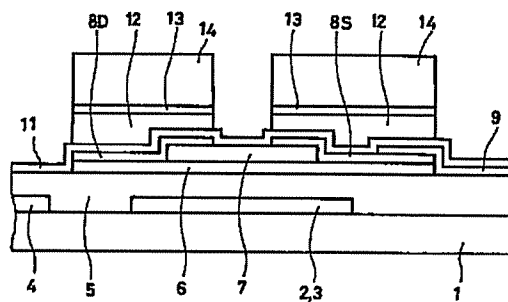
【図5】



【図7】

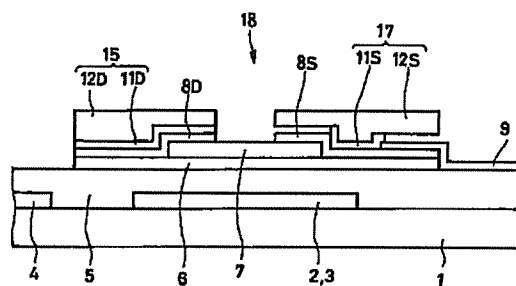


【図8】





【図9】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターマート (参考)

H 0 1 L 29/78

6 1 6 U

F ターム (参考) 2H092 JA24 JA41 JB69 MA18 NA29  
 4M104 AA01 AA09 BB02 BB13 BB36  
 CC01 CC05 DD64 DD71 FF06  
 FF11 FF13 GG08 GG19 GG20  
 HH08  
 5F033 GG04 HH08 HH09 HH17 MM05  
 QQ08 QQ10 QQ19 QQ27 QQ30  
 RR06 VV06 VV10 VV15 XX13  
 XX34  
 5F110 AA26 BB01 CC07 DD02 EE03  
 EE06 FF03 GG02 GG15 GG29  
 HK03 HK04 HK07 HK22 HMO4  
 HMO5 HM18 NN12 NN24 NN46  
 NN47 NN72 NN73